

PROJETO DE UM CIRCUITO INTEGRADO DEDICADO PARA APLICAÇÃO EM EQUIPAMENTO DE INTERPOLAÇÃO DE VOZ

A.S.Pires*, D.J.S.Conti**, H.J.Malavazi F.***

RESUMO

É apresentado o projeto de um circuito integrado digital dedicado elaborado para aplicação no equipamento MCP-60A em desenvolvimento no CPqD/TELEBRÁS. São enfocados principalmente a metodologia de concepção, os problemas e soluções encontrados ao longo do projeto e a filosofia de testabilidade adotada.

ABSTRACT

The design of a custom digital integrated circuit prepared for application on the MCP-60A equipment being developed on CPqD/TELEBRÁS is presented. The main topics focused are the design methodology, the problems and solutions found through all the phases of the design and the testability philosophy adopted.

* Eng.Eletrônico (UFRJ, 1983); Projeto de circuitos integrados, CPqD - TELEBRÁS.

** Eng. Eletrônico (UNICAMP, 1984); Projeto de equipamentos eletrônicos digitais, FTPT-TELEBRÁS

*** Eng.Eletrônico (UNICAMP, 1974); Projeto de circuitos integrados, CPqD-TELEBRÁS.

É apresentado um circuito integrado digital, denominado TC8, componente de uma série de cinco dispositivos, ora em desenvolvimento no CPqD/TELEBRÁS, que visam atender ao equipamento de Interpolação Digital de voz denominado MCP-60A.

A opção de utilizar circuitos dedicados para o equipamento MCP-60A, traz como consequência uma série de vantagens, objeto de uma discussão posterior.

Para compreender o funcionamento do dispositivo TC8, torna-se necessário localizá-lo no contexto do MCP-60A, o que é feito a seguir.

Em equipamentos de interpolação de voz, de uma maneira geral, o processo de interpolação está fundamentado na otimização da utilização de seus canais, ou seja, considerando um canal genérico, pode ser demonstrado que a porcentagem de tempo que este canal contém informação útil de voz em relação ao período em que está sendo ocupado é da ordem de 25%. O processo de interpolação de voz consiste, portanto, em utilizar a "ociosidade" deste canal para enviar informações de outros canais de voz.

É necessário então detectar a presença de voz para cada canal do equipamento, ou seja, determinar se o canal está ativo ou não. Adicionalmente deve ser detectada a presença de eco nestes canais para que seja eliminado, uma vez que não representa informação útil, embora seja voz.

Para determinar a atividade dos canais é utilizado um circuito denominado Detector de Voz, e para o eco é utilizado um circuito denominado Supressor de Eco.

A aplicação do circuito integrado TC8 no equipamento MCP-60A é a de justamente auxiliar na realização destas duas funções (Detecção de Voz e Supressão de Eco).

Para tanto, o TC8 está estruturado funcionalmente de maneira a atender estes dois pontos de aplicação. Tal fato lhe confere um carácter particular de possuir 3 circuitos independentes, quais sejam : um Filtro passa baixas de 1a. ordem, um contador endereçável ("Hangover") e um Detector de faixa de frequências, este último podendo atuar também como "Hangover" a partir de programação externa.

Através de programação externa ("estrapes") configuram-se também alguns parâmetros que alteram as características destes 3 circuitos, conferindo ao dispositivo uma versatilidade adicional no tocante à sua utilização.

Para o caso do Filtro Digital tem-se a opção de frequências de corte distintas, para o caso do contador endereçável ("Hangover"), a opção do limite de contagem, e para o caso do Detector de faixa de frequências tem-se a opção sobre a faixa desejada, salientando-se ainda que todas as opções estão restritas ao número de terminais de programação reservados.

A figura 1.1 mostra o diagrama em blocos simplificado onde, por questões de simplicidade, foi omitido o bloco responsável pelas ondas de controle internas ao dispositi

tivo. Deve ser notado ainda que a utilização de Memórias RAM nestes circuitos possibilita a operação em regime de partilhamento no tempo ("time-sharing"), pois a cada endereço da memória corresponde um dado canal, resultando num processamento único para todos os canais.

A estratégia adotada de não restringir o TC8 a um único ponto de aplicação no equipamento MCP-60A, o que ocorre também com outro dispositivo componente deste elenco de cinco circuitos integrados dedicados, reflete diretamente uma redução substancial de componentes que, aliada à complexidade destes circuitos e sua demanda estimada em pelo menos 4000 unidades, justifica o enfoque de projeto dedicado ou "full-custom".

O dispositivo TC8 caracteriza-se como um circuito integrado digital VLSI que utiliza tecnologia CMOS de 3 micra, de porta de silício.

Contém aproximadamente 8300 transistores, dos quais 5400 juntamente com 3500 capacitores formam 1664 bits de memória RAM, e 2900 compõem o restante do circuito.

Para se ter uma idéia da redução de componentes causada pela sua utilização, pode-se dizer que o TC8 contém o equivalente a 50 CI's TTL e 7 CMOS, sendo 23 MSI, o que representa em última análise, uma redução de aproximadamente 2 placas em cada uma das aplicações do dispositivo no equipamento.

2. PROJETO LÓGICO E ELÉTRICO

Um componente importante desse dispositivo é a memória, que teve rígidas especificações de funcionamento para que atendesse às necessidades dos circuitos. Como ela seria utilizada em quatro dispositivos, foi feito um projeto único de memória que poderia ser utilizada em todos os dispositivos. Essa memória é objeto de um trabalho específico e portanto aqui serão apresentadas apenas suas características principais : $t_{\text{leitura}} = 250\text{ns}$, $t_{\text{escrita}} = 390\text{ns}$.

Para o restante do circuito foi utilizada uma metodologia "top-down". Os blocos funcionais principais foram simulados logicamente usando a biblioteca de células padrão. Depois foi feito o projeto elétrico e o lay-out de todas as células visando atender às especificações de tempo de propagação e de mínima área do dispositivo. Procurou-se fazer, sempre que possível, para cada célula um único projeto que pudesse ser utilizado em todos os pontos de aplicação dessa célula no dispositivo visando agilizar o projeto e facilitar a concepção da planta baixa ("floor-planning").

Nas simulações foi utilizada uma margem de segurança da seguinte forma :

- As simulações lógicas foram feitas utilizando-se uma frequência de operação 25% maior que a nominal.
- As simulações elétricas utilizaram parâmetros de processo de pior caso de velocidade de (mínimo fornecimento de corrente pelos transistores), temperatura de 80°C e alimentação de 4,6V.

As cargas devidas às trilhas que percorrem o dispositivo foram estimadas a partir da

concepção da primeira planta baixa.

Dentre as várias células projetadas serão destacadas no presente trabalho as seguintes : SOMADOR COMPLETO, COMPARADOR, "BUFFERS" DE RELÓGIO, FLIP-FLOP TIPO D DINÂMICO e INTERFACES TTL DE ENTRADA E SAÍDA sobre cujos projetos serão tecidos alguns comentários a seguir.

O dispositivo apresenta somadores de módulos 4, 6 e 14. Dois tipos de implementação foram analisados e comparados : os de transportes série e paralelo. Optou-se pelo transporte série por este possuir as vantagens de ocupar menos área e não apresentar um aumento do número de transistores nas portas básicas (NANDs e NORs com múltiplas entradas) quando cresce o número de bits da soma. Além disso, o seu tempo de propagação (mais lento) demonstrou-se suficientemente bom para os casos simulados. Outra vantagem é a possibilidade de se usar uma célula básica de soma de um bit que precisa apenas ser encadeada n vezes quando se necessita somar n bits.

Essa argumentação também definiu o tipo de comparador adotado cuja célula básica é mostrada na figura 2.1.

A célula de FLIP-FLOP tipo D tem uma importância muito grande para o projeto em questão posto que ela, além de ser usada perto de 70 vezes, situa-se nos caminhos críticos do circuito em termos de tempo de propagação. Foi feita a escolha de um flip-flop dinâmico pelas vantagens de maior velocidade e menor área ocupada. A desvantagem principal deste flip-flop que é a perda de carga no caso de períodos grandes de relógio, não oferecia problemas posto que a frequência nominal do dispositivo era de 2,048 MHz.

O projeto dos "buffers" de relógio foi feito visando conseguir que este sinal chegasse a todos os pontos do dispositivo com o mínimo de atraso e com as duas fases atingindo a tensão de limiar de condução (tensão de "threshold") no mesmo instante, o que é necessário para o bom funcionamento do flip-flop. Isto foi conseguido escolhendo-se um tamanho adequado para as dimensões dos transistores dos "buffers".

É apresentada uma tabela, Fig. 2.2, com os tempos de propagação de cada célula aqui tratada, bem como as respectivas cargas utilizadas na simulação elétrica.

3. TESTABILIDADE

Um ponto importante que deve ser considerado já na fase do projeto lógico é o relativo à testabilidade do circuito integrado, pois é nesta fase que eventuais alterações do circuito, visando uma estrutura que facilite seu teste, podem ser mais facilmente incorporadas ao projeto.

Analisando o diagrama da figura 1.1, nota-se claramente a estrutura realimentada pertinente aos 3 blocos principais do dispositivo, além do mais observa-se o número reduzido de saídas, o que prejudica a observabilidade dos nós internos na fase de testes.

Adicionalmente, a presença de memória dificulta o teste, uma vez que ela deve ser

testada integralmente e se encontra no elo de realimentação; este último fato contribuindo negativamente para a monitoração de um dado canal, uma vez que o período de repetição das informações deste canal é o período necessário para percorrer todos os 64 endereços da memória, alongando desta forma o padrão de teste.

A estratégia adotada para o caso do TC8 consiste em dividir o padrão de teste em 2 partes; uma correspondente ao teste da memória de forma isolada, e outra correspondente ao teste dos demais circuitos.

Para o teste da memória é realizada a escrita e leitura nos 64 endereços, onde o conteúdo de uma posição é o valor do seu próprio endereço ou seu complemento, dependendo da fase do teste.

Para o teste do restante dos circuitos, os controles da memória são configurados de forma a variar apenas o bit menos significativo de endereço. Esta providência é utilizada para realizar testes distintos para cada um dos dois endereços fixados, ou seja :

Para o caso do Filtro Digital, o conteúdo de cada endereço simula uma resposta particular no tocante à frequência de corte e a uma dada condição de resposta ao degrau.

Para o caso do Contador endereçável o conteúdo de cada endereço simula uma condição distinta para um dado limite de contagem.

Para o caso do Detector de faixa de frequências o conteúdo de cada endereço representa uma condição distinta para uma dada faixa de detecção ou mesmo um certo limite de contagem, conforme a configuração em que se encontre (Detector ou "Hangover").

Deve ser observado que existe a necessidade de circuitos adicionais para implementar estas funções; com relação ao teste da memória deve-se "quebrar" a estrutura realimentada existente para se realizar a escrita e leitura dos dados desejados e para o teste dos demais circuitos deve-se alterar alguns sinais de controle da memória.

Fica patente portanto a necessidade de se efetuar um estudo sob o enfoque da testabilidade do dispositivo já na fase de projeto. A solução nunca é única e deve ser obtida levando-se em conta o compromisso existente entre a complexidade adicional em termos de circuitos e a economia ocasionada em termos da profundidade do padrão de teste e do grau de cobertura atingido.

Como exemplo específico, a metodologia adotada resultou numa redução de um padrão inicial de aproximadamente 25 Kbits para o padrão atual que contém em torno de 2Kbits, sendo para tanto necessária a utilização de 3 terminais para teste e 252 transistores adicionais (51 mux 2:1, 1 flip-flop, 9 inversores, 5 portas).

4. PLANTA BAIXA E LAYOUT FINAL

A primeira planta baixa do circuito foi feita no início da fase de simulações elêtricas com o objetivo de se obter uma primeira avaliação dos comprimentos das trilhas

de sinal. Essa avaliação era importante para o dimensionamento das cargas máximas das células que estavam sendo projetadas.

Nessa primeira planta baixa preocupou-se apenas com a disposição relativa das células e suas interligações. Não ficaram definidas as posições das trilhas de alimentação e no caso das trilhas de sinal não se fez diferenciação entre interligação em polissilício e em metal. O tamanho das células foi baseado em estatísticas de número de dispositivos por área de silício extraídas de células projetadas anteriormente.

O principal problema encontrado na disposição das células foi o fato de existirem muitos barramentos de sinal no interior dos blocos principais do circuito: 14 bits no filtro digital, 8 bits no detector de faixa de frequências e 4 bits no "hangover" fixo. Para evitar os problemas de roteamento e espaço ocupado por esses barramentos, optou-se por uma estrutura em que todas as células têm a mesma altura (altura essa que é definida pelo tamanho de um bit da memória RAM) e incluem passagens de sinal em seu layout. Assim, o sinal vindo da saída da memória, entra na 1ª célula, cuja saída entra na próxima célula e/ou passa através dela para entrar numa terceira. Depois o sinal volta através de todas as células para entrar na memória novamente (Fig. 4.1).

Para conseguir um maior grau de compactação, foram definidas rígidas especificações de layout para as células que se encaixariam na estrutura descrita. Essas especificações foram por exemplo:

- a) A comunicação entre células do mesmo tipo que se encontravam em fila teria que se fazer diretamente sem que a interligação ocupasse espaço entre as células, ou seja, no caso de comparadores e somadores a saída de "carry" de uma célula teria que se ligar diretamente com a entrada de "carry" da próxima célula. (Fig. 4.2).
- b) Os sinais usados em células que estão em fila, tais como CLOCK, $\overline{\text{CLOCK}}$ e CLEAR nos FLIP-FLOPS e sinais de controle dos multiplexadores teriam que passar através das células e também se ligar diretamente de uma célula para outra quando as células se justapassem. (Fig. 4.3.)

Depois de terminados o projeto elétrico e o layout das células, foi preparada uma planta baixa definitiva já levando em conta todos os detalhes de layout tais como trilhas de metal e polissilício, trilhas de alimentação, posição dos contatos, posição dos PADS, etc.

O layout final do circuito foi editado no computador gráfico e tem uma área aproximada de 4,2mm x 3,4mm.

5. BIBLIOGRAFIA

- Especificação do Circuito Integrado Filtro Digital e Hangover (TC8) - H.J.Malavazi, Dante J.S.Conti, R.Marche - CPqD/TELEBRÁS - abril/84.
- Projeto MCP-60A, Documento de Objetivos e Requisitos - CPqD/TELEBRÁS - março/84.
- A Digital Multifrequency Detector for PCM Systems - J.M.Laraia, A.L.P.Janzon, L.O.F.Gonçalves - Custom Integrated Circuits Conference - 1985.
- RAM Dinâmica Modular - J.M.Laraia, A.L.P.Janzon - V Simpósio Brasileiro de Microeletrônica - 1985

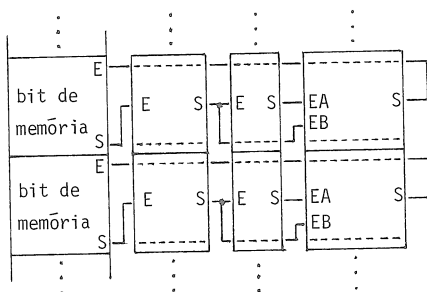


Figura 4.1

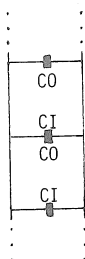


Figura 4.2

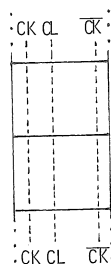


Figura 4.3

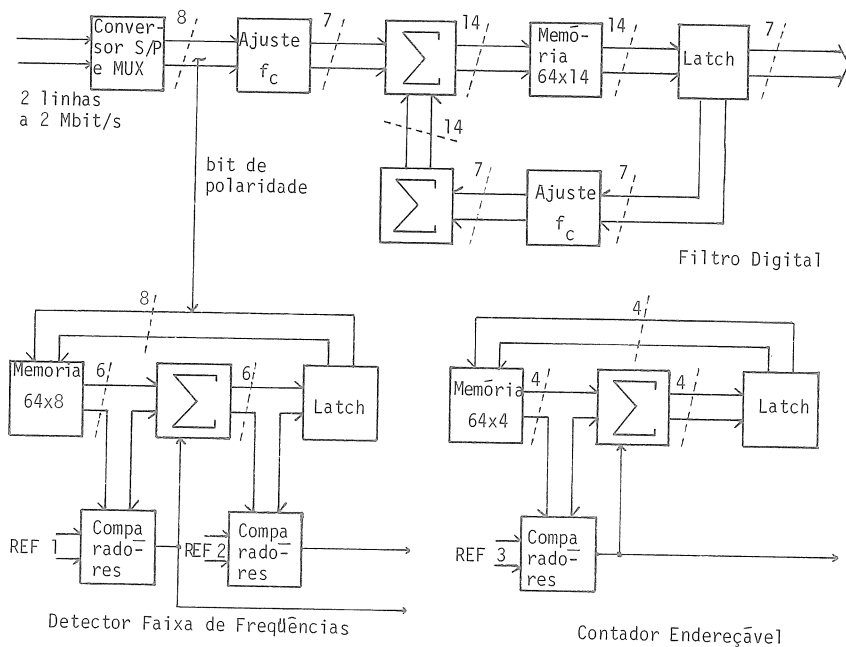


Figura 1.1

CÉLULA		CARGAS DE TRILHA		FAN OUT	TEMPO DE PROPAGAÇÃO	
		R	C		TRANSIÇÃO POSITIVA	TRANSIÇÃO NEGATIVA
SOMADOR	SOMA	6,4 k Ω	76 fF	3	28 NS	26 NS
	TRANSPORTE	-	-	1	13 NS	13 NS
COMPARADOR		-	-	1	11 NS	11 NS
"BUFFER" DE RELÓGIO	$\emptyset$	-	3,5 pF	70	16 NS	23 NS
	$\overline{\emptyset}$	-	3,5 pF	70	23 NS	16 NS
FLIP FLOP D DINÂMICO		6 K Ω	700 fF	-	13 NS	13 NS
INTERFACE TTL	ENTRADA	4 K Ω	190 fF	15	26 NS	26 NS
	SAÍDA	-	28 pF	1 TTL-LS CMOS	19 NS	17 NS

Figura 2.2

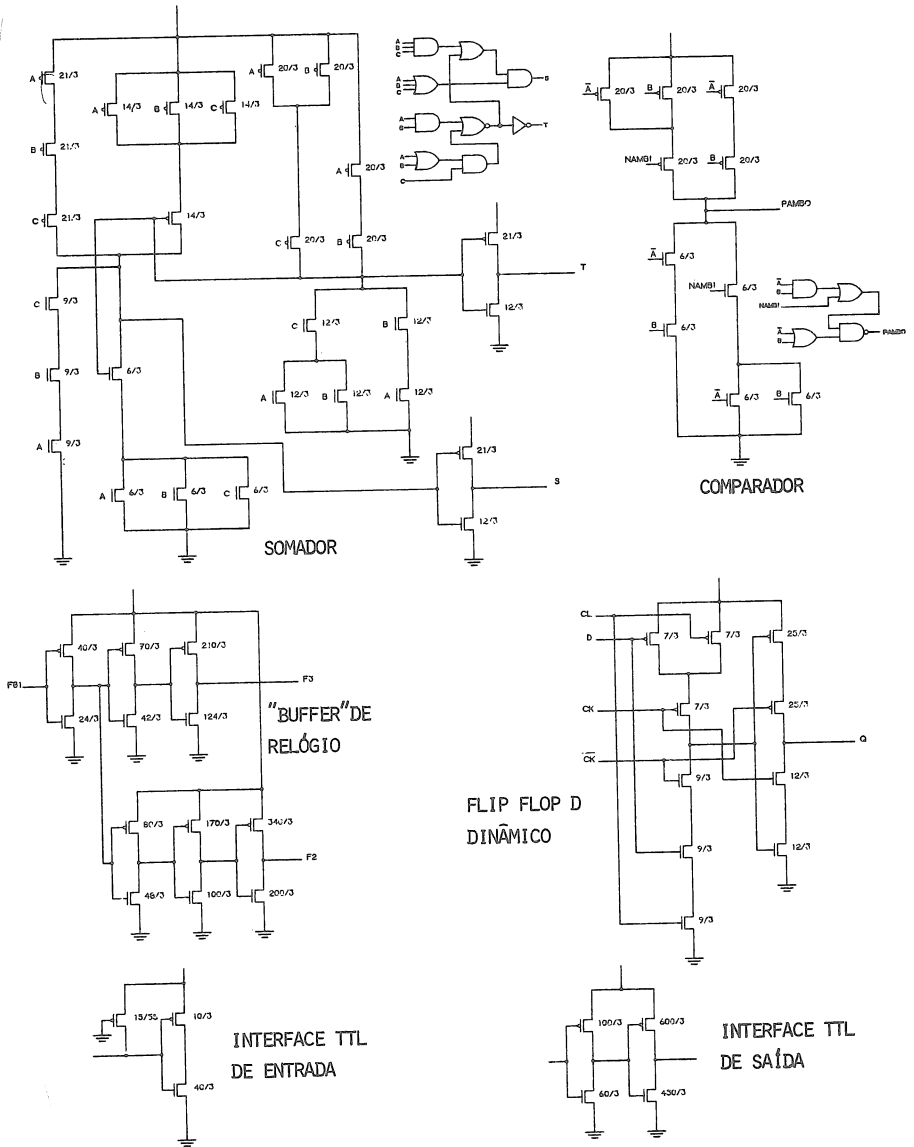


Figura 2.1